

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shigeharu Monoe Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : June 26, 2003
Title : METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:


Japan Application No. 2002-192384 filed July 1, 2002

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: June 26, 2003



John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
1425 K Street, N.W.
11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 1日

出 願 番 号

Application Number:

特願2002-192384

[ST.10/C]:

[JP2002-192384]

出 願 人

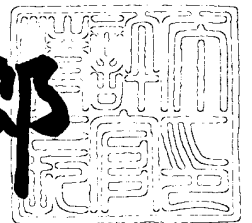
Applicant(s):

株式会社半導体エネルギー研究所

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3040222

【書類名】 特許願

【整理番号】 P006490

【提出日】 平成14年 7月 1日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 物江 滋春

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

半導体層上に、ゲート絶縁膜を介して、下層部側の第 1 導電層と、上層部側の第 2 導電層とから成る積層構造体を形成し、前記積層構造体上にマスクパターンを形成し、前記第 2 導電層及び第 1 導電層をエッチングして、端部にテーパ部を有する第 1 の導電層パターンを形成し、前記第 1 の導電層パターン上に残存するマスクパターンの端部を後退させ、当該マスクパターンに基づいて、前記第 1 の導電層パターンにおける第 2 導電層を選択的にエッチングして、第 2 の導電層パターンを形成し、前記半導体層に、前記第 2 の導電層パターンにおける第 2 導電層を、電界で加速されたイオンの遮蔽マスクとして、前記第 2 の導電層パターンにおける第 1 導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含むことを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 において、前記第 1 導電層は、タングステンであり、前記第 2 導電層は、アルミニウム、又は、アルミニウムを主成分とする金属であることを特徴とする半導体装置の作製方法。

【請求項 3】

半導体層上に、ゲート絶縁膜を介して、第 1 導電層、第 2 導電層、第 3 導電層を順次積層して積層構造体を形成し、前記積層構造体上にマスクパターンを形成し、それぞれの端部にテーパ部を有する第 1 の導電層パターンを形成し、前記第 1 の導電層パターン上に残存するマスクパターンの端部を後退させ、当該マスクパターンに基づいて、前記第 1 の導電層パターンにおける第 3 導電層及び第 2 導電層を選択的にエッチングして、第 2 の導電層パターンを形成し、前記半導体層に、前記第 2 の導電層パターンにおける第 3 導電層及び第 2 導電層を、電界で加速されたイオンの遮蔽マスクとして、前記第 2 の導電層パターンにおける第 1 導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含むことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 3 において、前記第 1 導電層はタングステンであり、前記第 2 導電層はアルミニウム又はアルミニウムを主成分とする合金もしくは化合物であり、前記第 3 導電層は窒化チタンであることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 又は 3 において、酸素プラズマ処理により、前記第 1 の導電層パターン上に残存するマスクパターンの端部を後退させることを特徴とする半導体装置の作製方法。

【請求項 6】

半導体層上に、ゲート絶縁膜を介して、下層部側の第 1 導電層と、上層部側の第 2 導電層とから成る積層構造体を形成し、前記積層構造体上にマスクパターンを形成し、当該マスクパターンの端部のテーパ角を小さくするプラズマ処理を行い、当該マスクパターンを用いて前記積層体の前記第 2 導電層及び第 1 導電層をエッチングして、端部にテーパ部を有する第 1 の導電層パターンを形成し、前記第 1 の導電層パターンにおける第 2 導電層を選択的にエッチングして、第 2 の導電層パターンを形成し、前記半導体層に、前記第 2 の導電層パターンにおける第 2 導電層を、電界で加速されたイオンの遮蔽マスクとして、前記第 2 の導電層パターンにおける第 1 導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含むことを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 6 において、前記第 1 導電層は、タングステンであり、前記第 2 導電層は、アルミニウム、又は、アルミニウムを主成分とする金属であることを特徴とする半導体装置の作製方法。

【請求項 8】

半導体層上に、ゲート絶縁膜を介して、第 1 導電層、第 2 導電層、第 3 導電層を順次積層して積層構造体を形成し、前記積層構造体上にマスクパターンを形成し、前記第 3 導電層をエッチングすると共に当該マスクパターンの端部におけるテーパ角を小さくするプラズマ処理を行い、当該マスクパターンを用いて前記積層体の前記第 2 導電層及び第 1 導電層をエッチングして、端部にテーパ部を

有する第 1 の導電層パターンを形成し、前記第 1 の導電層パターンにおける第 2 導電層を選択的にエッチングして、第 2 の導電層パターンを形成し、前記半導体層に、前記第 2 の導電層パターンにおける第 2 導電層を、電界で加速されたイオンの遮蔽マスクとして、前記第 2 の導電層パターンにおける第 1 導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含むことを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 6 又は 8 において、酸素プラズマ処理により、前記第 1 の導電層パターン上に残存するマスクパターンの端部を後退させることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 6 又は 8 において、フッ素系のガスを用いたプラズマ処理により、前記マスクパターンの幅を縮小するプラズマ処理を行うことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁ゲート型電界効果トランジスタの作製方法に係り、ゲートオーバーラップ構造の薄膜トランジスタ（TFT：Thin Film Transistor）に適用することができる半導体装置の作製方法に関する。

【0002】

【従来の技術】

液晶を用いた表示装置は、液晶テレビ受像器に代表されるように 20 インチを越える大型画面の商品が実用化されている。近年では多結晶シリコン膜を活性層に用いた TFT で、駆動回路一体型の液晶表示装置が実現されている。

【0003】

しかし、多結晶シリコン膜を用いた TFT はドレイン接合耐圧が低く、接合漏れ電流（以下、オフリーク電流と呼ぶ）が大きくなるという欠点が指摘されている。その対策として、低濃度ドレイン（LDD：Lightly Doped Drain）構造を

形成することが有効であることが知られている。

【 0 0 0 4 】

また、ドレイン領域近傍での高電界が生じ、発生したホットキャリアがLDD領域上のゲート絶縁膜にトラップされ、しきい値電圧など素子特性が大幅に変動し、低下する現象が問題として指摘されている。ホットキャリアによる劣化を防止するためにはLDD領域がゲート電極とオーバーラップしたTFETが特開2000-294787号公報などに開示されている。ゲートオーバーラップLDD構造のTFETは、通常のLDD構造のTFETと比較して電流駆動能力が高く、ドレイン領域近傍での高電界を有効に緩和してホットキャリアによる劣化を抑止している。

【 0 0 0 5 】

しかしながら、上記公報に開示されたゲートオーバーラップLDD構造のTFETは、LDDを形成する不純物領域を半導体層に形成した後ゲート電極を重ね合わせるにより、設計ルールの縮小に伴いゲート電極とのオーバーラップ量を正確に作り込むことができない。

【 0 0 0 6 】

一方、自己整合的にゲートオーバーラップLDD構造のTFETを作製する好適な一例は、特開2002-14337号公報に開示されている。同公報開示の技術は、少なくとも二層積層した導電層を1回の光露光処理と複数回のエッチング加工により、上層部と下層部の導電層の寸法を異ならせ、その寸法差と膜厚差を利用してイオンドーピングすることにより自己整合的にゲート電極とオーバーラップするLDD領域を形成することを可能とするものである。

【 0 0 0 7 】

勿論、ホットキャリアの劣化対策としてゲート電極とオーバーラップするLDDの機能を最大限に発揮させるためには、TFETの駆動電圧に応じてLDDの長さ（チャンネル長に対する長さ）を最適化する必要がある。すなわち、ドレイン領域近傍の高電界を有効に緩和するのに最適な長さがある。

【 0 0 0 8 】

上記公報で開示の技術は、二層積層させた導電層をテーパー形状にエッチング

加工する第 1 段階と、テーパ形状を有する導電層のうち、上層のみを選択的に異方性エッチング加工する第 2 段階とを有し、テーパ角を制御することにより LDD の長さを調節できる点に特徴がある。

【 0 0 0 9 】

【発明が解決しようとする課題】

ゲート電極に限らず、マスクパターンに基づいて被膜の端部又は側壁部をテーパ状にエッチング加工するには、ドライエッチング法でマスクパターンの幅を同時に後退させながら被加工物をエッチングすることで可能となる。その為にはエッチングするガス種を選択と、バイアス電圧の制御、マスクパターンの材料と被膜との選択比が重要となる。

【 0 0 1 0 】

少なくとも二層の積層構造を有するゲート電極を用いる従来の技術では、LDD の長さを制御するにはゲート電極の加工段階における端部のテーパ角（基板表面と成す角度）を小さくする必要がある。それにはマスクパターンの後退量を大きくする必要がある。マスクパターンは蝕刻されて後退するため膜厚を厚くしてマージンを見込んでおく必要がある。その結果、微細なマスクパターンを形成出来なくなるという問題点がある。

【 0 0 1 1 】

また、エッチング加工の選択比に関する問題は、エッチングガスと被加工物の材質との関係を考慮する必要がある。表示装置の分野では、画面サイズ的大型化に伴って信号遅延の問題を解決する必要がある、アルミニウムに代表される抵抗率の低い材料を用いる必要がある。具体的には、20 インチ程度の画面サイズを考慮するとシート抵抗で $0.2 \Omega / \square$ 以下が必要となる。

【 0 0 1 2 】

チャネル長 $10 \mu\text{m}$ 程度の TFT に対し $10 \sim 20 \text{V}$ で駆動するには、 $1 \mu\text{m}$ 以上（好ましくは $1.5 \mu\text{m}$ 以上）の LDD 長さ（ゲート電極とオーバーラップする部位の長さ）が必要となる。この場合、上記従来技術に従えば、厚さ $0.5 \mu\text{m}$ のアルミニウム膜に対し、概略 20 度のテーパ角を設ける必要がある。しかし、アルミニウムはテーパ加工が困難な材料であり、このような小さい角度の

テーパー角をドライエッチング法で作り込むことは不可能であった。

【 0 0 1 3 】

本発明は上記問題点に鑑みなされたものであり、自己整合的に形成するゲート電極にオーバーラップする L D D の寸法の設計自由度を与え、特にホットキャリア耐性に優れた T F T を再現性良く作製する技術を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本出願人によれば、ホットキャリアに対する劣化を抑制するために必要なゲート電極とオーバーラップする L D D の長さ（以下、この長さを便宜上 L_{ov} と表記する）については以下のように考察されている。

【 0 0 1 5 】

まず、T F T の劣化に対して L_{ov} が所定の値である場合に、電界効果移動度の最大値が 1 0 % 低下する時間を寿命時間と定義して、図 1 1 で示すようにドレイン電圧の逆数を片対数グラフにプロットして得られる直線的な関係から、寿命時間が 1 0 年となる電圧を 1 0 年保証電圧として導出する。例えば、図 1 1 において、 L_{ov} が 1. 0 μm の T F T における 1 0 年保証電圧は 1 6 V である。図 1 2 はこのようにして求めた推定保証電圧を、 L_{ov} が 0. 5 μm 、0. 7 8 μm 、1. 0 μm 、1. 5 μm 、1. 7 μm のそれぞれの場合における値をプロットしたグラフである。また図 1 2 では、バイアスストレス試験で、T F T のオン電流値が 1 0 % 変動するまでの時間が 2 0 時間となるドレイン電圧値を 2 0 時間保証電圧として示している。

【 0 0 1 6 】

ホットキャリア効果による劣化は、駆動電圧が低ければほとんど問題とならないが、1 0 V 以上で駆動する場合には無視出来なくなる。図 1 2 から明らかなように、

駆動電圧が 1 6 V である場合には、 L_{ov} が 1 μm 以上、好ましくは 1. 5 μm 以上とする必要があることを示している。

【 0 0 1 7 】

上記要件を満足するために、本発明は、自己整合的にゲート電極とオーバーラ

ップするLDDを形成する半導体装置の作製方法であって、ゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャンネル長方向の幅が、下層である第1導電層の方が長い形状とすると共に、当該ゲート電極をLDDを形成するイオンドーピング時のマスクとして利用するものである。この時、ゲート電極とオーバーラップするLDD、すなわちLovを1 μ m以上、好ましくは1.5 μ m以上とするために、ゲート電極を形成するマスクパターンの形状に加工を加え、ドライエッチングと組み合わせることで最適な形状を得ることを特徴を有する。

【0018】

本発明の構成は、半導体層上にゲート絶縁膜を介して下層部側の第1導電層と、上層部側の第2導電層とから成る積層構造体を形成し、その積層構造体上にマスクパターンを形成し、第2導電層及び第1導電層をエッチングして端部にテーパー部を有する第1の導電層パターンを形成し、第1の導電層パターン上に残存するマスクパターンの端部を後退させ、当該マスクパターンに基づいて第1の導電層パターンにおける第2導電層を選択的にエッチングして第2の導電層パターンを形成することで第1導電層と第2導電層のチャンネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは1 μ m以上とすることが可能となり、これを電界で加速されたイオンの遮蔽マスクとして用いることで第1導電層パターンと重なる低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0019】

上記発明の構成において、適した第1導電層と第2導電層の組み合わせは、第1導電層はタングステンであり、第2導電層はアルミニウム又はアルミニウムを主成分とする金属である。また、マスクパターンの端部を後退させるには酸素プラズマ処理が適している。

【0020】

本発明の構成は、半導体層上にゲート絶縁膜を介して、第1導電層、第2導電

層、第3導電層を順次積層して積層構造体を形成し、その上にマスクパターンを形成してそれぞれの端部にテーパ部を有する第1の導電層パターンを形成し、第1の導電層パターン上に残存するマスクパターンの端部を後退させ、当該マスクパターンに基づいて第1の導電層パターンにおける第3導電層及び第2導電層を選択的にエッチングして第2の導電層パターンを形成することで第1導電層と第2導電層のチャンネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは $1\mu\text{m}$ 以上とすることが可能となり、これを電界で加速されたイオンの遮蔽マスクとして用いることで第1導電層パターンと重なる低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0021】

上記発明の構成において、適した第1導電層と第2導電層と第3導電層との組み合わせは、第1導電層はタンゲステンであり、第2導電層はアルミニウム又はアルミニウムを主成分とする合金もしくは化合物であり、第3導電層は窒化チタンである。また、マスクパターンの端部を後退させるには酸素プラズマ処理が適している。

【0022】

本発明の構成は、半導体層上にゲート絶縁膜を介して下層部側の第1導電層と上層部側の第2導電層とから成る積層構造体を形成し、その上にマスクパターンを形成し、当該マスクパターンの端部におけるテーパ角を小さくするプラズマ処理を行い、当該マスクパターンを用いて積層体の第2導電層及び第1導電層をエッチングして、端部にテーパ部を有する第1の導電層パターンを形成し、第1の導電層パターンにおける第2導電層を選択的にエッチングして、第2の導電層パターンを形成することで第1導電層と第2導電層のチャンネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは $1\mu\text{m}$ 以上とすることが可能となり、これを電界で加速されたイオンの遮蔽マスクとして用いることで第1導電層パターンと重なる低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を

形成することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0023】

上記発明の構成において、適した第1導電層と第2導電層の組み合わせは、第1導電層はタングステンであり、第2導電層はアルミニウム又はアルミニウムを主成分とする金属である。また、マスクパターンの幅を縮小するには酸素プラズマ処理が適している。

【0024】

本発明の構成は、半導体層上にゲート絶縁膜を介して、第1導電層、第2導電層、第3導電層を順次積層して積層構造体を形成し、その上にマスクパターンを形成し、第3導電層をエッチングすると共に当該マスクパターンの端部におけるテーパ角を小さくするプラズマ処理を行い、当該マスクパターンを用いて積層体の第2導電層及び第1導電層をエッチングして、端部にテーパ部を有する第1の導電層パターンを形成し、第1の導電層パターンにおける第2導電層を選択的にエッチングして第2の導電層パターンを形成することで第1導電層と第2導電層のチャネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは1 μ m以上とすることが可能となり、これを電界で加速されたイオンの遮蔽マスクとして用いることで第1導電層パターンと重なる低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0025】

上記発明の構成において、適した第1導電層と第2導電層と第3導電層との組み合わせは、第1導電層はタングステンであり、第2導電層はアルミニウム又はアルミニウムを主成分とする合金もしくは化合物であり、第3導電層は窒化チタンである。また、マスクパターンの幅を縮小するにはフッ素系のガスを用いたプラズマ処理が適している。

【0026】

上記の様にゲート電極を複数の導電層から成る積層体で形成し、その形状を第

1 導電層と第2 導電層のチャンネル長方向の幅が、第1 導電層の方が長い形態とする場合において、テーパエッチング加工と、異方性エッチング加工との間に、マスクパターンを後退させ細く加工する段階を設けることにより、第1 導電層のチャンネル長方向の長さを $1\ \mu\text{m}$ 以上とすることができる。このゲート電極をイオンドーピング時のマスクとすることで、ゲート電極とオーバーラップするLDD領域の長さを $1\ \mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大することができる。また、以下に示す実施形態の全体を通して同じ要素には同じ符号を付するものとする。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、本発明は以下に示す実施の形態に限定されるものでなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。

【0028】

(実施の形態1)

本実施形態は、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(Lov)を $1\ \mu\text{m}$ 以上とするための工程について示す。詳しくは、第1の導電層パターンを形成した後、その上に残存するマスクパターンの端部を後退させる処理を行い、当該マスクパターンに基づいて第1の導電層パターンにおける第2導電層を選択的にエッチングして第2の導電層パターンを形成する一態様について説明する。

【0029】

図1(A)においてガラス基板100上に第1絶縁膜(下地膜)101、半導体層102、第2絶縁膜(ゲート絶縁膜)103が形成され、その上に第1導電層104、第2導電層105、第3導電層106が形成されている。マスクパターン107は光露光工程によりフォトリジストを用いて形成する。

【0030】

第1導電層はタングステン(W)、クロム(Cr)、タンタル(Ta)、チタ

ン (T i) 又はモリブデン (M o) などの高融点金属を 3 0 ~ 5 0 nm の厚さで形成し、第 2 導電層はアルミニウム、又はアルミニウムを主成分とする合金もしくは化合物 (代表的には、アルミニウムにチタン、シリコン、スカンジウム、ニオブから選ばれた一種又は複数種を 0. 1 ~ 5 重量% 含む合金もしくは化合物) で 3 0 0 ~ 6 0 0 nm の厚さに形成する。これは A l の熱安定性を向上させる目的であり、アルミスパイクなどの発生を防ぐ目的がある。

【 0 0 3 1 】

第 3 導電層はタングステン (W) 、クロム (C r) 、チタン (T i) などの高融点金属又はその窒化物を用いる。但し、第 3 導電層はアルミニウムを中心とする積層構造体の耐熱性をより向上させるために設けるものであり、本発明の構成において必須の構成要件とはならない。窒化チタンはアルミニウムと同じエッチングガスで加工できるので、第 1 導電層をタングステンとする組み合わせにより、選択加工を容易とする。

【 0 0 3 2 】

次に、図 1 (B) に示すように、ドライエッチングにより第 2 導電層 1 0 5 と第 3 導電層 1 0 6 のエッチングを行う。エッチングガスには、 BCl_3 、 Cl_2 、 CF_4 を用いる。エッチング速度の向上には E C R (Electron Cyclotron Resonance) や I C P (Inductively Coupled Plasma) などの高密度プラズマ源を用いたドライエッチング装置を用いる。また、マスクパターンに基づく加工形状において、端部もしくは側壁部をテーパ形状に加工するためには、基板側に負のバイアス電圧を印加する。

【 0 0 3 3 】

レジストで形成したマスクパターン 1 0 7 は電界で加速されたイオンによりスパッタされ、反応副生成物が被加工物の側壁に付着する。これは側壁保護膜とも呼ばれるが、この段階の加工でアルミニウムを主成分とする第 2 導電層をテーパ形状とする理由は、この側壁保護膜の排除である。つまり、図 3 (A) で示すようにテーパ部を有する第 2 導電層 1 0 5 に対し、その後異方性エッチングを行っても反応副生成物が側壁に堆積しにくいので、図 3 (B) で示すように残渣を残すことなくエッチング加工して第 2 導電層 1 0 5 ' のパターンを形成するこ

とができる。これに対し図4 (A) のように第2導電層105の側壁がほぼ垂直であるとエッチング加工時に反応副生成物が堆積し、図4 (B) で示すようにその後異方性エッチングしても、その反応副生成物が残ってしまい形状不良となる。すなわち、この段階で少なくとも第2導電層をテーパ形状に加工しておくことで側壁保護膜を排除することができる。

【0034】

次に、図1 (C) に示すようにエッチングガスを CF_4 、 Cl_2 、 O_2 に切り替えて第1導電層であるタングステンのエッチングを行う。勿論、導電層の全層を同時にエッチングしても良いが、膜厚の厚い第2導電層105のエッチング時にはエッチング速度のバラツキを見込んでエッチング時間を長めに設定する必要がある。その場合、下地が酸化珪素であると蝕刻されて極端に薄くなってしまう。これを防ぐためこのように二段階のエッチング加工を行う。

【0035】

こうして、図1 (C) で示すように、第2絶縁膜103上に第1導電層104'、第2導電層105'、第3導電層106'から成る第1の導電層パターン108が形成される。端部におけるテーパ形状の基板100の表面との成す角度は $10 \sim 20$ 度にする。この角度は主に第2導電層の膜厚との関係で決まるが、このテーパ部の占める長さが概略 $0.5 \sim 1.5 \mu\text{m}$ となるようにする。

【0036】

その後、フォトレジストで形成したマスクパターン107を、酸素プラズマ処理によりその端部を後退させる処理を行う。酸素プラズマ処理によりマスクパターン107の部材であるフォトレジストは蝕刻されて全体的に縮小することになる。パターン幅の後退幅は処理時間により自由に設定することができるが、この後退幅により L_{ov} の長さをほぼ決定することができる(図1 (D))。

【0037】

そして、エッチングガスに BCl_3 、 Cl_2 を用いて、第2導電層105'及び第3導電層106'をマスクパターン107'に基づいて選択的にエッチングする。この場合、基板側に印加するバイアス電圧は低くして第1導電層104'は残存せしめるようにする。第2導電層105'の端部は第1導電層104'よりも内

側に後退し、後述するようにその後退幅で L_{ov} の長さが決まる。こうして第1導電層104'、第2導電層105''、第3導電層106''から成る第2の導電層パターン109が形成され、これが半導体層102と交差する部位においてゲート電極となる(図1(E))。

【0038】

半導体層103への一導電型不純物の添加、すなわちLDDやソース・ドレイン領域の形成は、第2の導電層パターン109を用いて自己整合的に形成することが出来る。図2(A)はゲート電極とオーバーラップするLDDを形成するためのドーピング処理であり、一導電型不純物のイオンを第1導電層104'を通過させて、その下層部に位置する半導体層102に添加して第1濃度の一導電型不純物領域110を形成する。第2絶縁層や第1導電層の膜厚にもよるが、この場合には50kV以上の加速電圧を要する。第1濃度の一導電型不純物領域110の不純物濃度は、LDDを前提とすると $1 \times 10^{16} \sim 5 \times 10^{18}/\text{cm}^3$ (ピーク値)とする。

【0039】

ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン109をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物領域110の外側に第2濃度の一導電型不純物領域111を形成する。この場合には加速電圧を30kV以下として行う。第2濃度の一導電型不純物領域111の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21}/\text{cm}^3$ (ピーク値)とする。

【0040】

その後、窒化珪素を用いる第3絶縁層112、低誘電率の有機化合物材料を用いた第4絶縁膜113、配線114を形成する。

【0041】

以上のように、本実施形態は、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(L_{ov})を $1 \mu\text{m}$ 以上を有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを $1 \mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大することができる。

【 0 0 4 2 】

(実施の形態 2)

本実施形態は、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップする LDD を自己整合的に形成し、且つ、その長さ (L_{ov}) を 1 μ m 以上とするための工程について示す。詳しくは、ゲート電極を形成するための積層構造体上にマスクパターンを形成し、当該マスクパターンの端部におけるテーパ角を小さくするプラズマ処理を行い、当該マスクパターンを用いて積層体をエッチングして、端部にテーパ部を有する第 1 の導電層パターンを形成し、さらに第 1 の導電層パターンにおける第 2 導電層を選択的にエッチングして第 2 の導電層パターンを形成する一態様について説明する。

【 0 0 4 3 】

まず、実施形態 1 で示す図 1 (A) と同じように、基板 100 上に第 1 絶縁膜 101、半導体層 102、第 2 絶縁膜 103、第 1 導電層 104、第 2 導電層 105、第 3 導電層 106、マスクパターン 107 を形成する (図 5 (A))。

【 0 0 4 4 】

次いで、プラズマ処理によりマスクパターン 107 の端部におけるテーパ角を小さくする処理を行う。また、同時に第 3 導電層 106 の除去を行う。適用可能なエッチングガスはフッ素系のガスであり、六フッ化硫黄 (SF₆)、三フッ化窒素 (NF₃) などである。

【 0 0 4 5 】

テーパ角は基板の主表面とマスクパターンの側壁の成す角度、又は図 7 で示すようにマスクパターンとその下地にある被膜の表面との成す角度である。マスクパターンの初期状態におけるテーパ角 $\alpha 1$ に対し、プラズマ処理後のテーパ角 $\alpha 2$ は小さくすることができる。すなわち、フッ素系ガスによりレジストは蝕刻され、それにより端部は後退し、さらにテーパ角は小さくなる。この時マスクパターンは、初期の断面形状として矩形よりはむしろある程度テーパが付いていた方が後退量を大きくすることができる。図 5 (B) はプラズマ処理後のマスクパターン 107' と第 3 導電層 106' を示している。

【 0 0 4 6 】

次に、図5 (C) に示すように、ドライエッチングにより第2導電層105と第3導電層106'のエッチングを行う。エッチングガスには、 BCl_3 、 Cl_2 、 CF_4 を用いる。マスクパターン107'に基づく加工形状において、端部もしくは側壁部をテーパ形状に加工するためには、基板側に負のバイアス電圧を印加する。前段階でマスクパターンの端部のテーパ角を小さくしておくことにより、当該マスクパターン107'の後退量が大きくなり、このエッチング工程で蝕刻される第2導電層105の側壁部のテーパ角を小さくすることができる。

【0047】

次に、図5 (D) に示すようにエッチングガスを CF_4 、 Cl_2 、 O_2 に切り替えて第1導電層104であるタングステンのエッチングを行う。こうして第2絶縁膜103上に第1導電層104'、第2導電層105'、第3導電層106'から成る第1の導電層パターン108が形成される。端部におけるテーパ形状の基板表面との成す角度は10～20度にする。この角度は主に第2導電層の膜厚との関係で決まるが、このテーパ部の占める長さが概略0.5～1 μm となるようにすることができる。

【0048】

そして、エッチングガスに BCl_3 、 Cl_2 を用いて、第2導電層105'及び第3導電層106'をマスクパターン107'に基づいて選択的にエッチングする。この場合、基板側に印加するバイアス電圧は低くして第1導電層104'は残存せしめるようにする。第2導電層105'の端部は第1導電層104'よりも内側に後退し、後述するようにその後退幅で L_{ov} の長さが決まる。こうして第1導電層104'、第2導電層105''、第3導電層106''から成る第2の導電層パターン109が形成され、これが半導体層102と交差する部位においてゲート電極となる(図5 (E))。

【0049】

以降、実施形態1と同様に図2に示す工程に従えば、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(L_{ov})を1 μm 以上を有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを1 μm 以上とし、ホットキャリア劣化に対する寿命時間を長大する

ことができる。

【 0 0 5 0 】

【実施例】

(実施例 1)

本実施例は、実施形態 1 に基づく工程に従って、ゲート電極を加工する一例について示す。本実施例は図 1 を参照して説明する。

【 0 0 5 1 】

まず、アルミノシリケートガラス基板 1 0 0 上にプラズマ CVD 法で 1 5 0 nm の酸化珪素膜で第 1 絶縁層 1 0 1 を形成する。半導体層 1 0 2 は 5 0 nm の非晶質珪素膜をレーザーアニールにより結晶化した結晶性珪素膜で形成し、島状に孤立分離するように形成する。第 2 絶縁膜 1 0 3 は、 SiH_4 と N_2O をソースガスとしてプラズマ CVD 法により 1 1 5 nm の酸化珪素膜を形成する。タングステンで形成する第 1 導電層 1 0 4 は 3 0 nm の厚さとし、珪素を含有するアルミニウムで形成する第 2 導電層 1 0 5 は 5 0 0 nm の厚さとし、窒化チタンで形成する第 3 導電層 1 0 6 は 2 0 nm で形成する。マスクパターン 1 0 7 はポジ型のフォトリソで 1. 5 μm の厚さに形成する。マスクパターンの幅は適宜設定すれば良いが、本実施例においては 4. 5 μm と 1 0 μm のマスクパターンで光露光形成した。(図 1 (A))

【 0 0 5 2 】

次に、ドライエッチングにより第 2 導電層 (珪素を含有するアルミニウム) 1 0 5 と第 3 導電層 (窒化チタン) 1 0 6 のエッチングを行う。エッチングには ICP エッチング装置を用いる。図 6 は ICP エッチング装置の構成を示す。反応室 8 0 1 にはエッチング用のガス供給手段 8 0 3、反応室内を減圧状態に保持する排気手段 8 0 4 が連結されている。プラズマ生成手段は反応室 8 0 1 に石英板を介して誘導結合するスパイラルコイル 8 0 2、高周波 (1 3. 5 6 MHz) 電力供給手段 8 0 5 から成っている。基板側へのバイアス印加は高周波 (1 3. 5 6 MHz) 電力供給手段 8 0 6 で行い、基板を載置するステージに自己バイアスが発生するような構成となっている。エッチング加工には供給するエッチングガス種と、高周波 (1 3. 5 6 MHz) 電力供給手段 8 0 6、8 0 7 により供給されるそ

れぞれの高周波電力、エッチング圧力が主なパラメータとなる。

【 0 0 5 3 】

図 1 (B) のエッチング加工には、エッチングガスとして BCl_3 、 Cl_2 、 CF_4 を用いる。エッチング圧力は 0.7 Pa とし、800 W のプラズマ生成用の電力、500 W の基板バイアス用の電力を供給する。続いて図 1 (C) に示すようにエッチングガスを CF_4 、 Cl_2 、 O_2 に切り替えて第 1 導電層であるタングステンのエッチングを行う。この時のエッチング条件は、エッチング圧力 1.0 Pa、500 W のプラズマ生成用の電力、20 W の基板バイアス用の電力を供給する。以上のようにして、第 1 の導電層パターン 108 が形成することができる。

【 0 0 5 4 】

その後、フォトレジストで形成したマスクパターン 107 を酸素プラズマ処理によりその端部を後退させる処理を行う。酸素プラズマ処理は同様に ICP エッチング装置を用い、 O_2 を 80 sccm 供給し、1.2 Pa の処理圧力で 450 W のプラズマ生成用の電力、100 W の基板バイアス用の電力を供給し 30 sec の処理を行う。酸素プラズマ処理によりフォトレジストで形成したマスクパターン 107 はその幅及び膜厚が縮小する。(図 1 (D))

【 0 0 5 5 】

次に、そして、エッチングガスに BCl_3 、 Cl_2 を用いて異方性エッチングを行い、主として第 2 導電層 105' の加工を行う。エッチング圧力は 1.2 Pa とし、500 W のプラズマ生成用の電力、100 W の基板バイアス用の電力を供給する。第 2 導電層 105' の端部は第 1 導電層 104' よりも内側に後退する。こうして第 2 の導電層パターン 109 が形成され、これが半導体層 102 と交差する部位においてゲート電極となる。そして、第 1 導電層 104' の端部からに後退幅は $1 \sim 2 \mu\text{m}$ とすることが可能である。図 8 で示すようにこの後退幅 d が L_{ov} 長を決める長さとなる。表 1 は本実施例と同様の工程において、上記の酸素プラズマ処理の有無による後退幅 d を比較した表である。

【 0 0 5 6 】

【表 1】

単位： μm

マスクパターン幅	酸素プラズマ処理有り	酸素プラズマ処理無し
4.5	1.288	0.573
10.0	1.713	0.743

【0057】

マスクのパターン幅にも依存するが、表 1 から明らかなように、酸素プラズマ処理がある場合には 1.2 ～ 1.7 μm の後退幅が得られるのに対し、酸素プラズマ処理をしない場合にはそれが 0.5 ～ 0.7 μm に留まっている。

【0058】

図 9 は酸素プラズマ処理を行った場合の代表的な加工形状を示す走査電子顕微鏡 (SEM) 像である。下層からタングステン層、アルミニウム層、マスク材であるレジストが積層形成されている状態を示している。同図は斜方から観察した SEM 像であるが、アルミニウム層の後退幅もしくはタングステン層の突出幅は 1.5 μm 程度と見込まれている。

【0059】

このエッチング加工の最終段階において、マスクパターンの厚さは当初の 10 分の 1 程度となるが、レジストの膜厚と酸素プラズマ処理との兼ね合いで、その後退幅を自由に設定することができる。即ち、ゲート電極とオーバーラップする LDD を有する TFT (ゲートオーバーラップ TFT) の L_{ov} 長を自由に設定することができる。

【0060】

以降、LDD を形成する第 1 濃度の一導電型不純物領域 110 に $1 \times 10^{16} \sim 5 \times 10^{18}/\text{cm}^3$ (ピーク値) の濃度でリン又はボロンを 50 kV の加速電圧でイオンドーピング処理により添加する。(図 2 (A))

【0061】

さらに、ソース・ドレイン領域を形成するドーピング処理は、第 2 の導電層パ

ターン 1 0 9 をイオンの遮蔽マスクとして用い、第 1 濃度の一導電型不純物領域 1 1 0 の外側に第 2 濃度の一導電型不純物領域 1 1 1 を形成する。この場合には加速電圧を 1 0 kV として、リン又はボロンの濃度を $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ (ピーク値) として形成する。(図 2 (B))

【 0 0 6 2 】

その後、プラズマ CVD 法で水素を含有する酸化珪素を 1 0 0 nm の厚さで形成し、感光性又は非感光性のアクリル又はポリイミド樹脂を 1 μm の厚さに形成して第 4 絶縁膜 1 1 3 を形成する。さらに必要に応じて配線 1 1 4 を形成する。

【 0 0 6 3 】

以上のようにして、ゲート電極とオーバーラップする LDD を自己整合的に形成し、且つ、その長さ (L_{ov}) を 1 μm 以上を有する TFT を形成することができる。

【 0 0 6 4 】

(実施例 2)

本実施例は、実施形態 1 に基づく工程に従って、ゲート電極を加工する一例について示す。本実施例は図 5 を参照して説明する。

【 0 0 6 5 】

まず、実施例 1 と同様に、基板 1 0 0 上に酸化珪素膜で成る第 1 絶縁膜 1 0 1、結晶性珪素膜で成る半導体層 1 0 2、酸化珪素膜で成る第 2 絶縁膜 1 0 3、第 1 導電層 1 0 4 (タングステン)、第 2 導電層 1 0 5 (珪素を含有するアルミニウム)、第 3 導電層 1 0 6 (窒化チタン)、マスクパターン 1 0 7 を形成する(図 5 (A))。

【 0 0 6 6 】

次いで、プラズマ処理によりマスクパターン 1 0 7 の端部におけるテーパ角を小さくする処理と同時に同時に第 3 導電層 1 0 6 の除去を行う。プラズマ処理は、SF₆を用い、処理圧力は 1.9 Pa とし、500 W のプラズマ生成用の電力、300 W の基板バイアス用の電力を供給する。この処理により第 3 導電層 1 0 6 はエッチングされ、マスクパターン 1 0 7 も蝕刻されて端部のテーパ角を小さくすることができる。(図 5 (B))

【0067】

次に、第2導電層105であるアルミニウムのエッチングを主な目的とするテーパーエッチング加工を行う。エッチングガスとして BCl_3 、 Cl_2 、 CF_4 を用いる。エッチング圧力は0.7Paとし、800Wのプラズマ生成用の電力、500Wの基板バイアス用の電力を供給する。(図5(C))

【0068】

続いて、に示すようにエッチングガスを CF_4 、 Cl_2 、 O_2 に切り替えて第1導電層104であるタングステンのエッチングを行う。この時のエッチング条件は、エッチング圧力1.0Pa、500Wのプラズマ生成用の電力、20Wの基板バイアス用の電力を供給する。以上のようにして、第1の導電層パターン108が形成することができる。(図5(D))

【0069】

次に、そして、エッチングガスに BCl_3 、 Cl_2 を用いて異方性エッチングを行い、主として第2導電層105'の加工を行う。エッチング圧力は1.2Paとし、500Wのプラズマ生成用の電力、100Wの基板バイアス用の電力を供給する。第2導電層105'の端部は第1導電層104'よりも内側に後退する。(図5(E))

【0070】

こうして第2の導電層パターン109が形成され、これが半導体層102と交差する部位においてゲート電極となる。第1導電層104'の端部からに後退幅は1~2 μm とすることが可能である。表2は本実施例と同様の工程において、上記の酸素プラズマ処理の有無による後退幅dを比較した表である。

【0071】

【表 2】

単位： μm

マスクパターン 幅	プラズマ処理 有り	プラズマ処理 無し
4.5	1.038	0.573
10.0	1.203	0.743

【0072】

マスクのパターン幅にも依存するが、表2から明らかなように、プラズマ処理がある場合には後退幅が0.45 μm 程度増加して1.2～1.7 μm の後退幅が得られるのに対し、酸素プラズマ処理をしない場合にはそれが0.5～0.7 μm に留まっている。

【0073】

図10はプラズマ処理を行った場合の代表的な加工形状を示す走査電子顕微鏡（SEM）像である。下層からタングステン層、アルミニウム層、マスク材であるレジストが積層形成されている状態を示している。同図は斜方から観察したSEM像であるが、アルミニウム層の後退幅もしくはタングステン層の突出幅は1.5 μm 程度と見込まれている。

【0074】

以降、実施例1と同様にゲートオーバーラップTFTを作製することができる。

【0075】

（実施例3）

本発明は様々な表示画面を設けた半導体装置に適用することができる。特に表示画面の対角が20インチを越える大画面の半導体装置に対して有用である。

【0076】

図14は表示パネル901を筐体900に組み込んだ半導体装置の一構成例であり、テレビ受像器やコンピュータのモニタシステムとして適用できるものである。筐体900には半導体集積回路で形成した増幅器や高周波回路、及びメモリ

機能として半導体メモリもしくはハードディスクなど磁気メモリなどを組み込んで画像表示機能を充足させる電子回路基板 9 0 2 や音声を再生するスピーカ 9 0 3 が装着されている。

【 0 0 7 7 】

表示パネル 9 0 1 は本発明に係るゲートオーバーラップ T F T を用いて、T F T をマトリクス状に配列させて成るアクティブマトリクス画素回路 9 0 4 、走査線駆動回路 9 0 5 、データ線駆動回路 9 0 6 を一体形成したドライバー体型とすることができる。

【 0 0 7 8 】

図 1 3 はアクティブマトリクス画素回路 9 0 4 の主要な構成を示す図である。半導体層 3 0 1 と交差するゲート電極 3 0 2 とデータ信号線 3 0 3 が同一層で形成されている。すなわち、少なくともアルミニウムを主成分とする導電層を一層含む積層体で形成され、そのゲート電極もしくは配線のパターンを形成するエッチング加工は実施例 1 又は 2 により行うものである。これにより、 L_{ov} 長が $1\mu m$ 以上のゲートオーバーラップ T F T を形成することが可能であり、データ信号線も低抵抗化を図ることができる。ゲート信号線 3 0 4 は層間絶縁膜を介してその上層に形成され、コンタクトホールを介してゲート電極 3 0 2 と接続する構成となっている。勿論、この配線もアルミニウムで形成可能であり、配線の低抵抗化を実現できる。データ信号線 3 0 3 と半導体層 3 0 1 を接続する配線 3 0 5 もゲート信号線 3 0 4 と同一層で形成可能である。画素電極 3 0 6 は酸化インジウムと酸化スズの化合物である I T O (Indium Tin Oxide) を用いて形成している。なお、このような画素の詳細については、特開 2 0 0 1 - 3 1 3 3 9 7 号公報で開示されている。

【 0 0 7 9 】

本実施例では半導体装置に一例を示したが、本発明は本実施例に限定されず様々な半導体装置に適用することができる。例えば、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）に加え、冷蔵庫装置、洗濯機、炊飯器、固定電話装

置、真空掃除機、体温計など家庭電化製品から、電車内の吊し広告、鉄道駅や空港の発着案内版など大面積のインフォメーションディスプレイまで様々な分野に適用することができる。

【 0 0 8 0 】

なお、本発明における実施例については以上のように示されているが、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるものである。

【 0 0 8 1 】

【発明の効果】

以上説明したように、本発明によれば、ゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャネル長方向の幅が、第1導電層の方が長い形態とする加工工程において、テーパエッチング加工と異方性エッチング加工との間にマスクパターンを後退させ細く加工する段階を設けることにより、第1導電層のチャネル長方向の長さを $1\mu\text{m}$ 以上とすることができる。このゲート電極をイオンドーピング時のマスクとすることで、ゲート電極とオーバーラップするLDD領域の長さを $1\mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大することができる。

【 0 0 8 2 】

また、本発明により、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(Lov)を $1\mu\text{m}$ 以上を有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを $1\mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大化することができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の作製工程を説明する断面図である。

【図2】 本発明の半導体装置の作製工程を説明する断面図である。

【図3】 テーパエッチングによる反応副生成物除去効果を説明する図である。

【図4】 テーパエッチングを行わない場合における反応副生成物の影響を説

明する図である。

【図 5】 本発明の半導体装置の作製工程を説明する断面図である。

【図 6】 ICPエッチング装置の構成を説明する図である。

【図 7】 マスクパターンのテーパー角の変化を説明する図である。

【図 8】 第 2 導電層の後退幅 d とゲートオーバーラップ TFT の L_{ov} 長の関係
を説明する図である。

【図 9】 実施例 1 に従いエッチング加工された導電層パターンの形状を示す S
EM 像である。

【図 10】 実施例 2 に従いエッチング加工された導電層パターンの形状を示す
SEM 像である。

【図 11】 バイアスストレス試験に基づく TFT の寿命時間を推定する特性図
であり L_{ov} 依存性について示すグラフである。

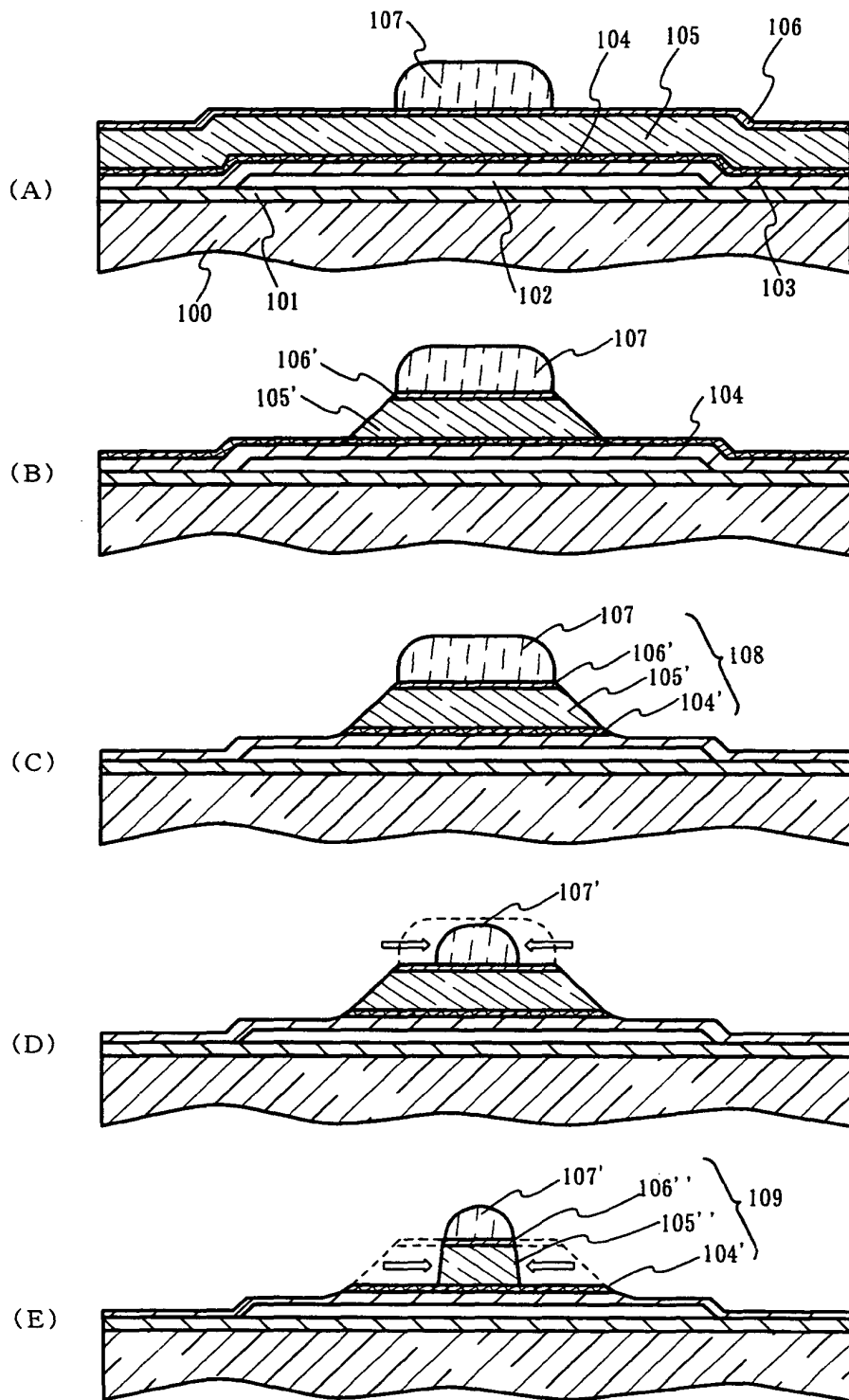
【図 12】 推定保証電圧（オン電流 10%劣化）の L_{ov} 長依存性を示すグラフ
である。

【図 13】 本発明に係る半導体装置のアクティブマトリクス型の画素の構成を
示す上面図である。

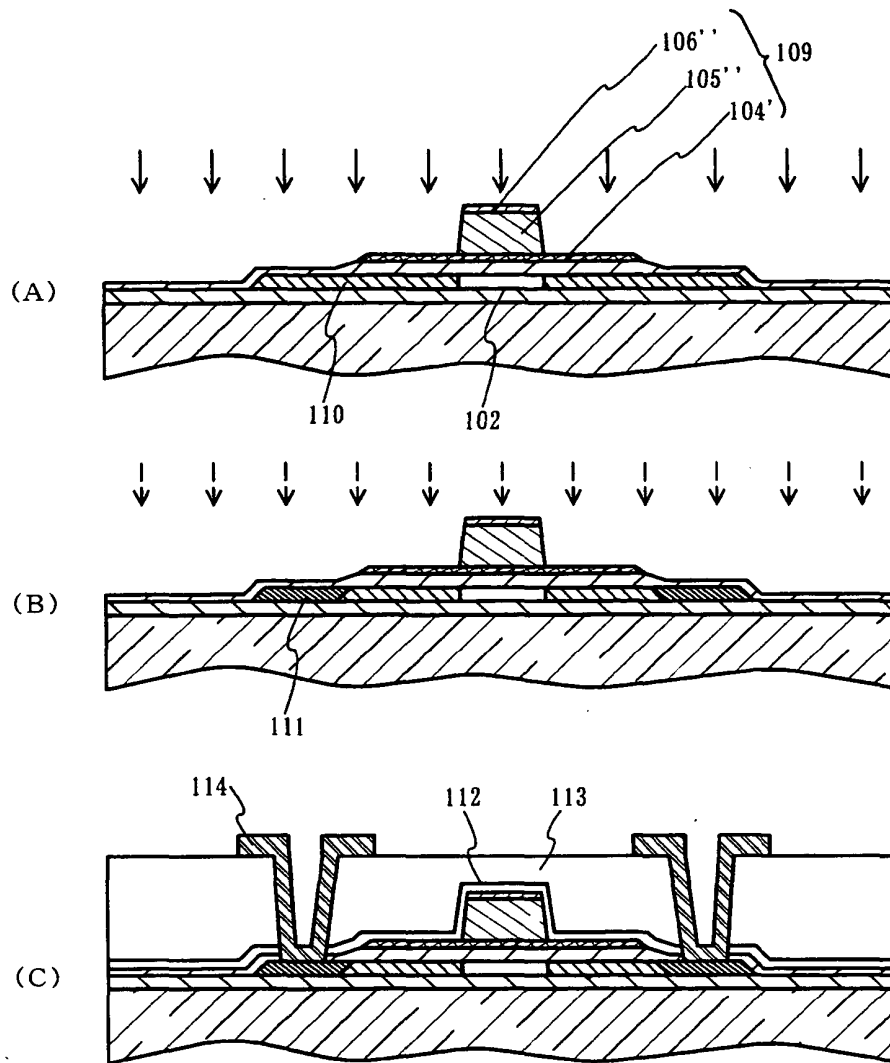
【図 14】 半導体装置の一例を示す図である。

【書類名】 図面

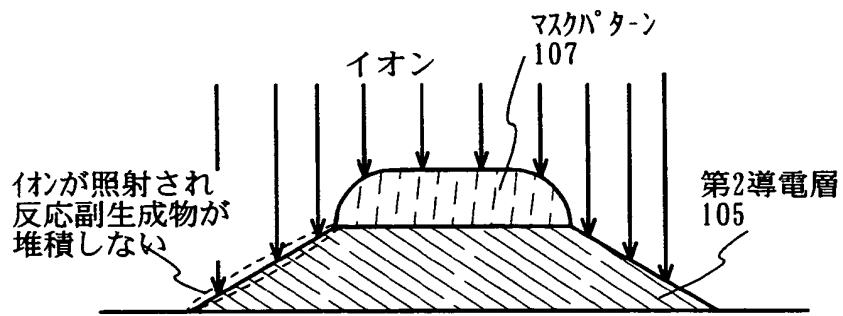
【図 1】



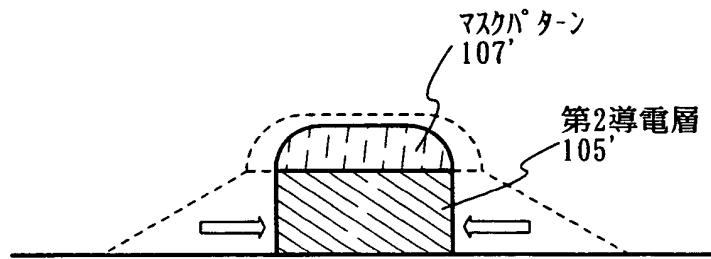
【図 2】



【図 3】

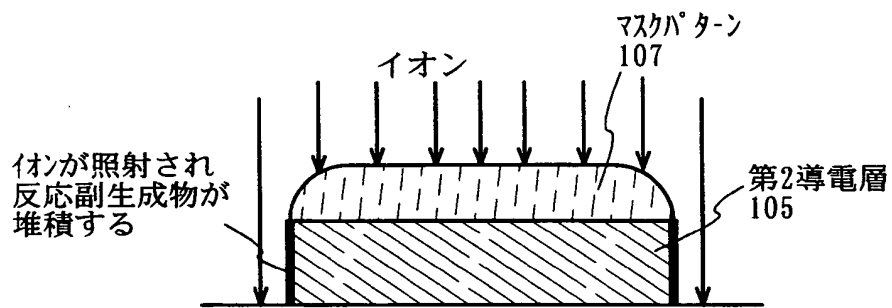


(A)

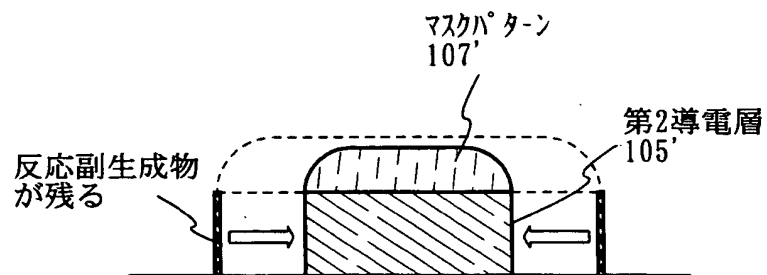


(B)

【図 4】

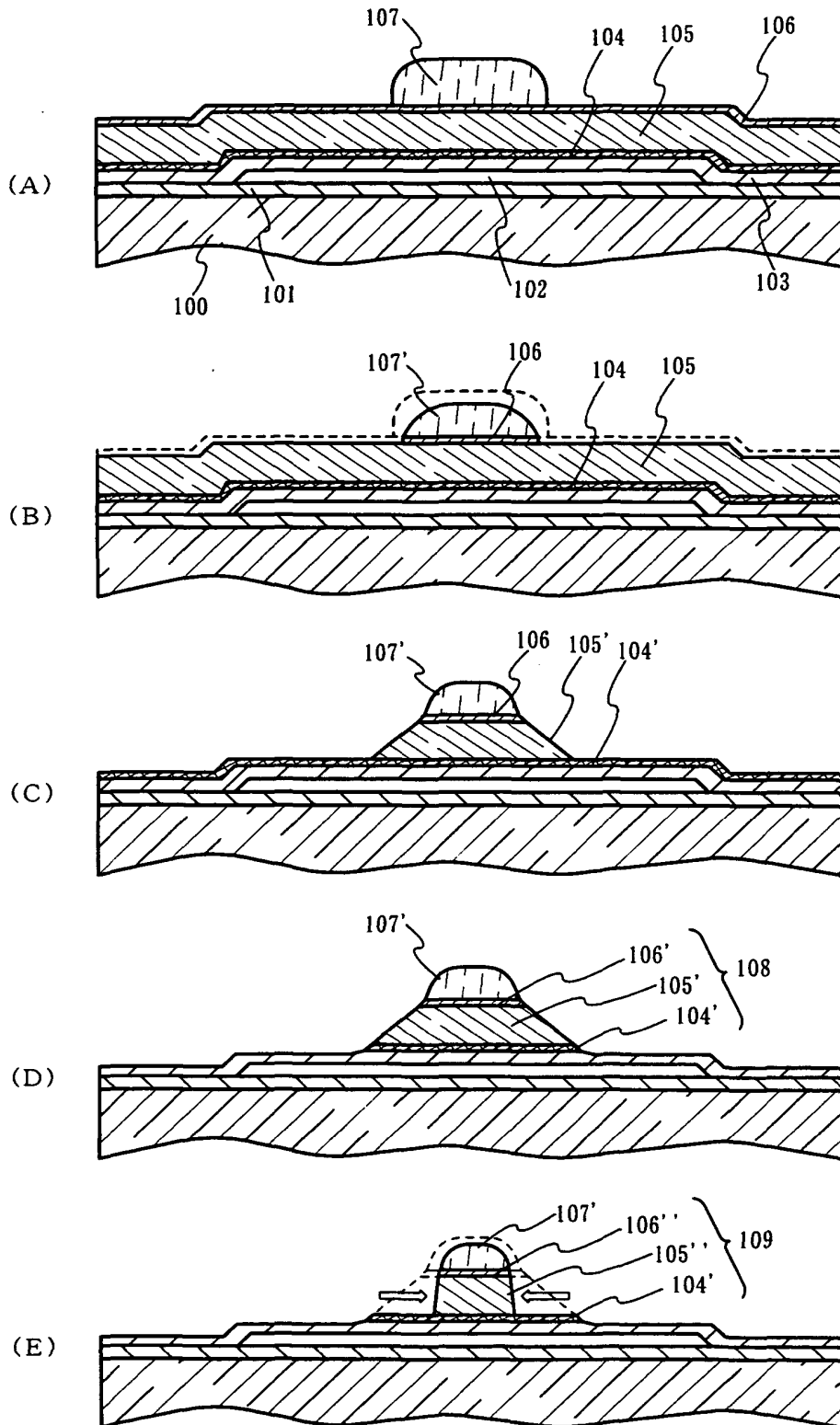


(A)

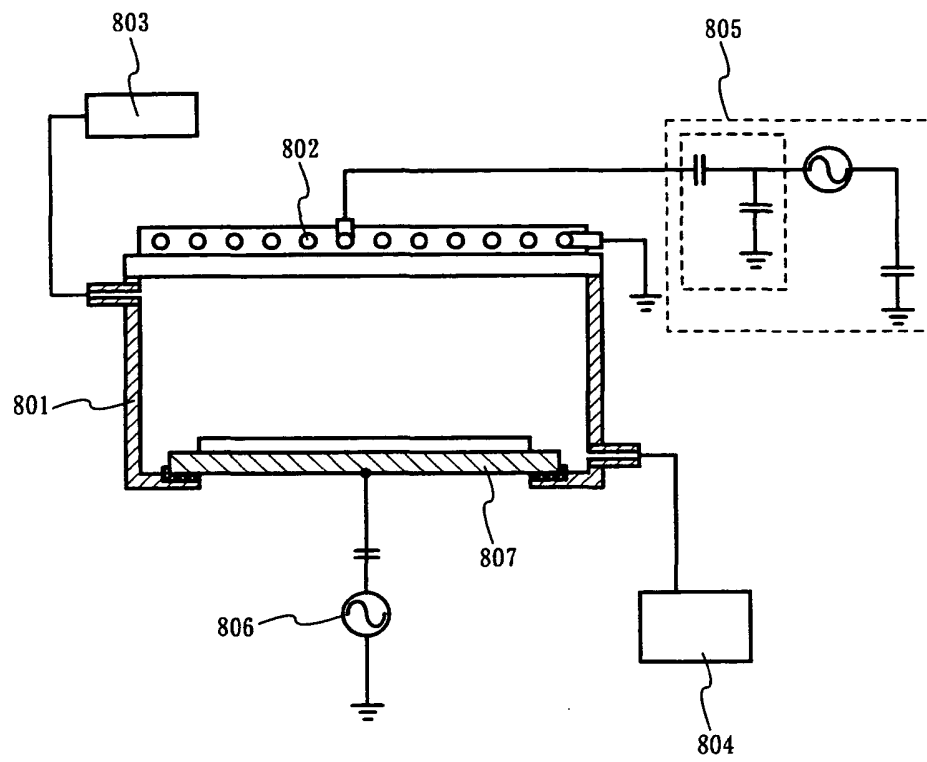


(B)

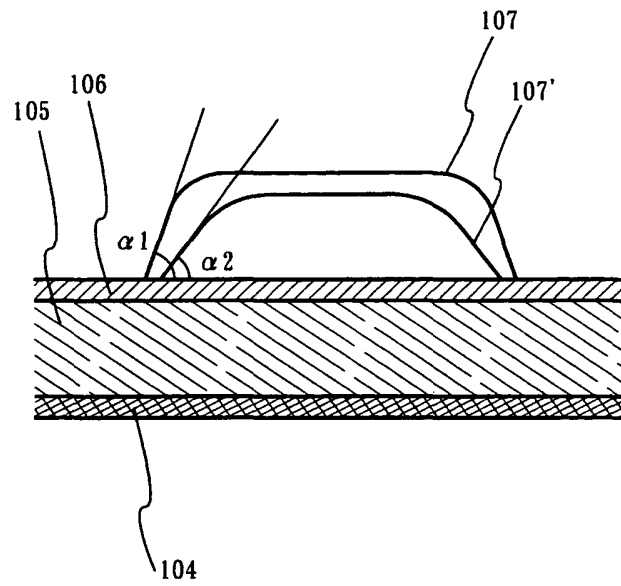
【図 5】



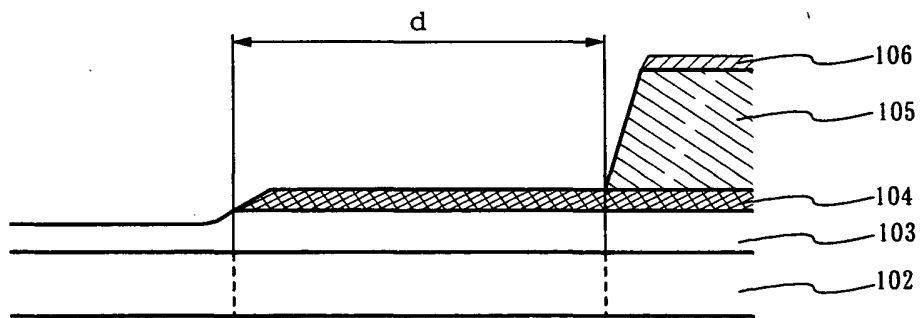
【図 6】



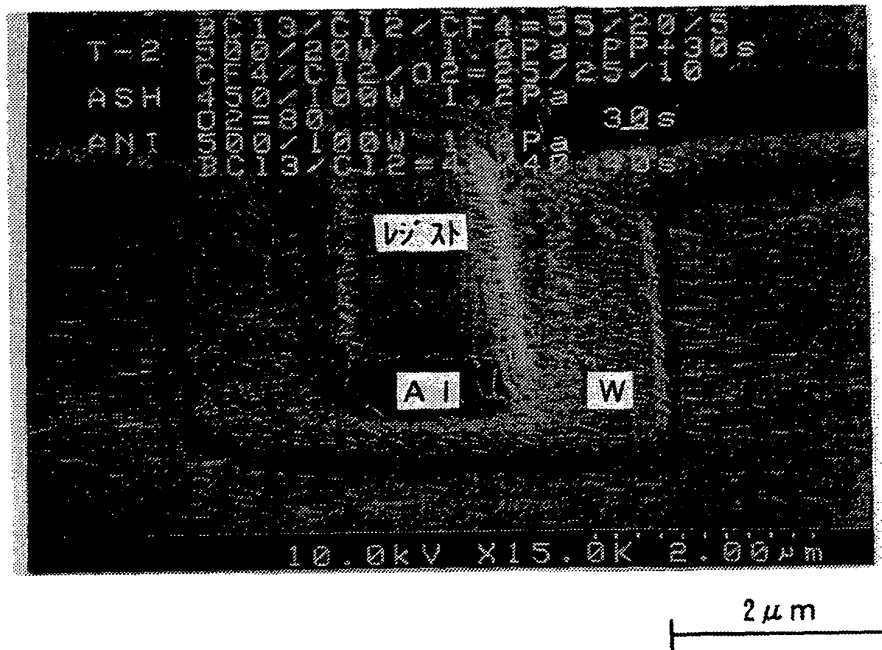
【図 7】



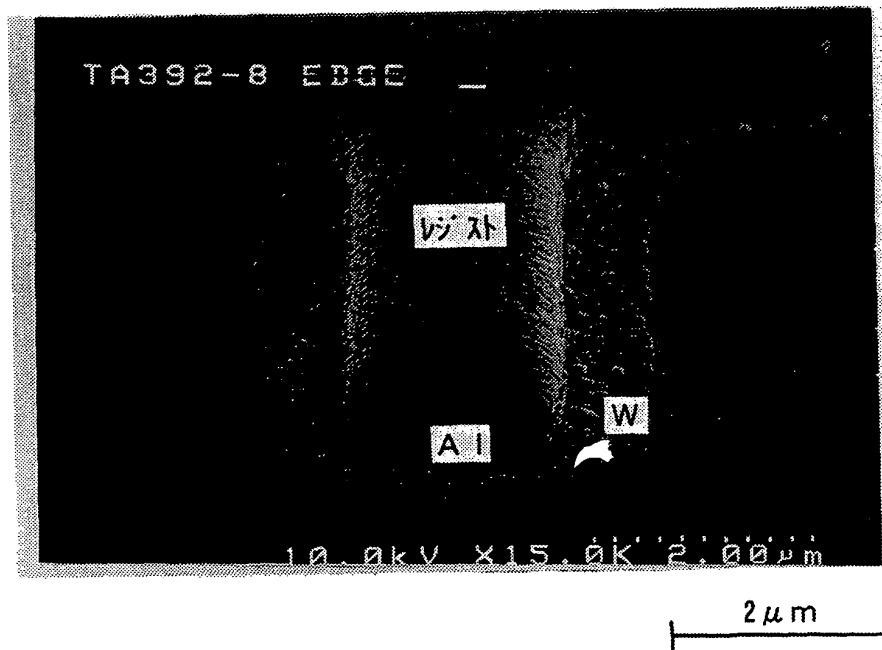
【図 8】



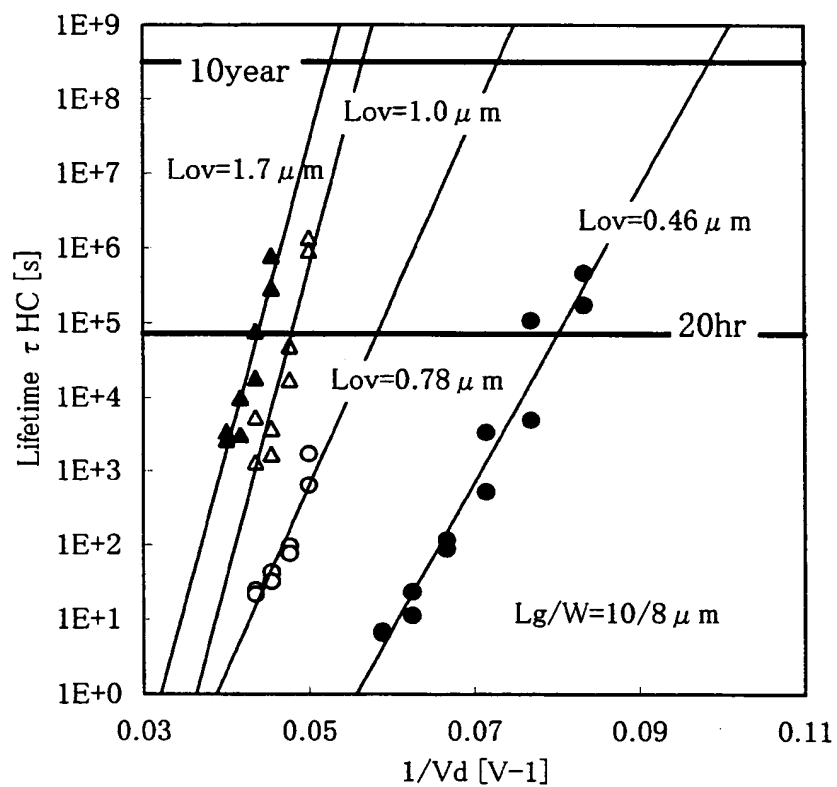
【図 9】



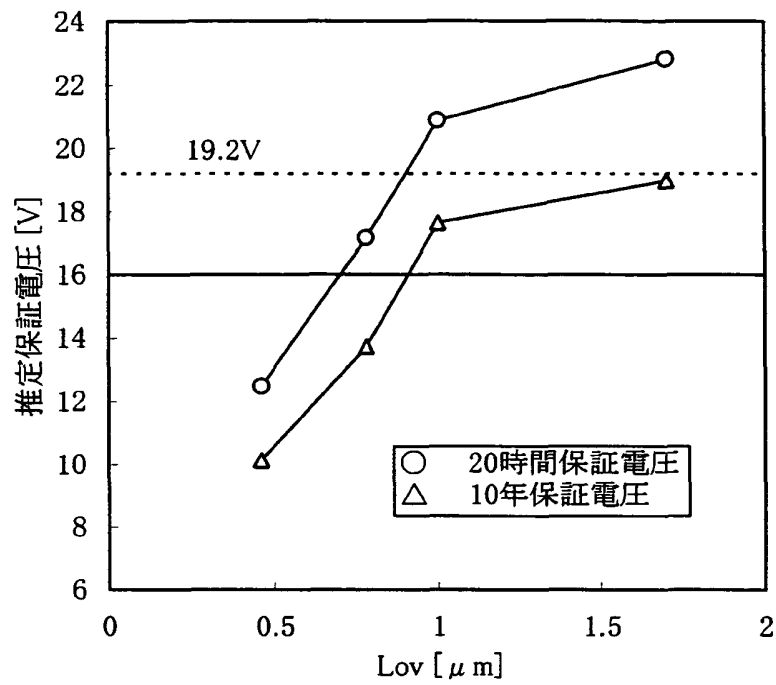
【図 10】



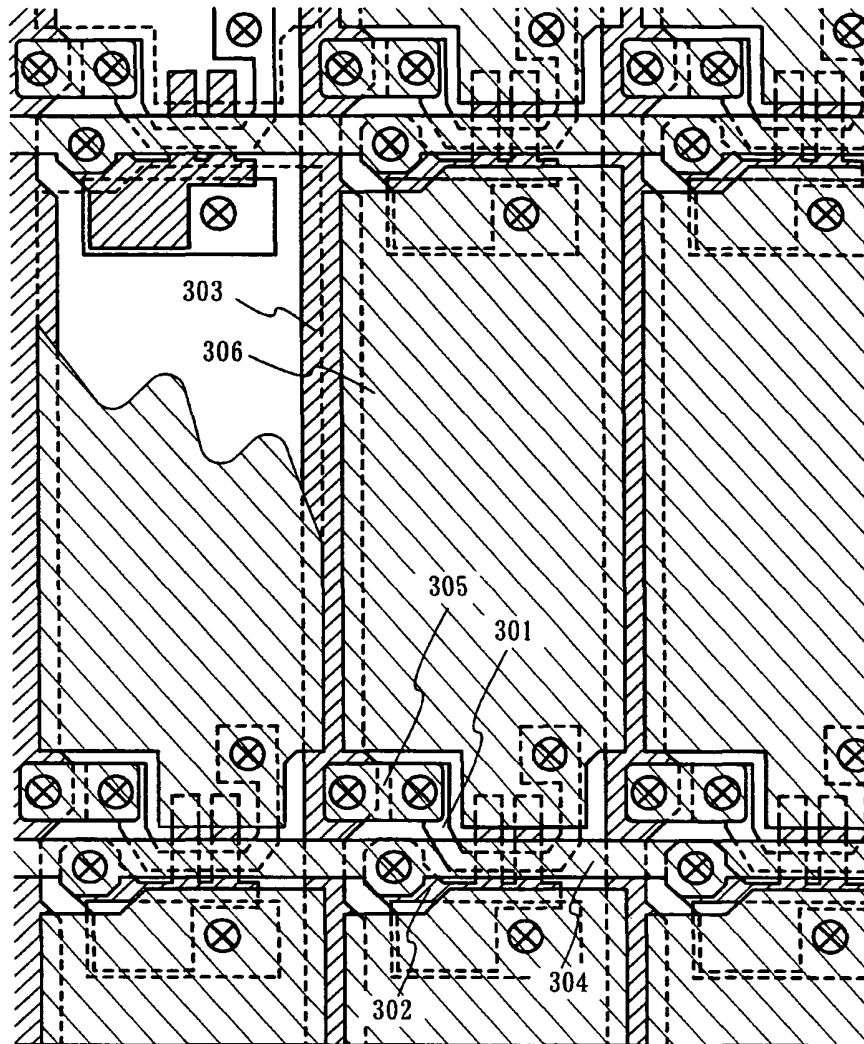
【図 11】



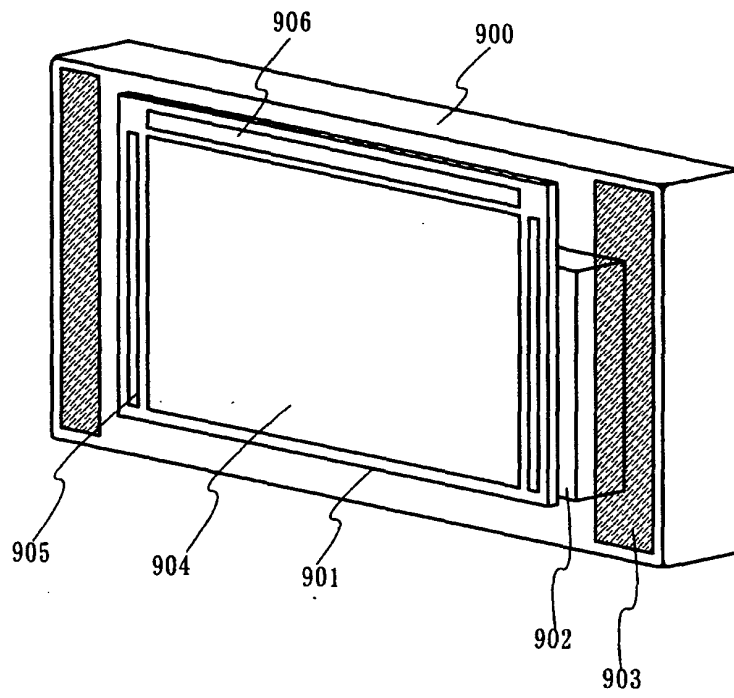
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 自己整合的に形成するゲートオーバーラップLDD構造のTFTに対し、寸法の設計自由度を与え、特にホットキャリア耐性に優れたTFTを再現性良く作製する技術を提供することを目的とする。

【解決手段】 ゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャネル長方向の幅が、下層である第1導電層の方が長い形状とすると共に、当該ゲート電極をLDDを形成するイオンドーピング時のマスクとして利用するものである。この時、ゲート電極とオーバーラップするLDD、すなわち L_{ov} を $1\mu m$ 以上、好ましくは $1.5\mu m$ 以上とするために、ゲート電極を形成するマスクパターンの形状に加工を加え、ドライエッチングと組み合わせることで最適な形状を得ることを特徴を有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所